

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-148163

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)8月5日

H 01 L 27/10
G 11 C 11/34
H 01 L 29/78

1 0 1

6655-5F
8320-5B
8422-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭59-3427

⑰ 出 願 昭59(1984)1月13日

⑱ 発 明 者 三 谷 真 一 郎 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体記憶装置

特許請求の範囲

1. 絶縁基板の表面ないしその一部に設けた凹穴内にわたって再結晶ポリシリコン膜を形成し、このポリシリコン膜の上層に絶縁膜を介して形成したゲート部材と前記絶縁基板上の再結晶ポリシリコン膜とでMOSFETを構成する一方、前記凹穴内に延設した再結晶ポリシリコン膜と更にこの内部に充填した電極部材とでキャパシタを構成し、前記MOSFETとキャパシタとでメモリ素子を構成したことを特徴とする半導体記憶装置。
2. ゲート部材および電極部材をポリシリコンで形成してなる特許請求の範囲第1項記載の半導体記憶装置。
3. 凹穴は平面および断面形状を方形又は長方形とし、その内面に沿って再結晶ポリシリコン膜を形成し、その中央空間に電極部材を充填させてなる特許請求の範囲第1項又は第2項記載の半導体記憶装置。

発明の詳細な説明

〔技術分野〕

本発明は高集積化および信頼性の向上を図ったD-RAM(Dynamic Random Access Memory)構成の半導体記憶装置に関するものである。

〔背景技術〕

従来の半導体記憶装置、特にMOSFET(MOS型電界効果トランジスタ)とキャパシタとをメモリ素子としてなるD-RAMでは、前記MOSFETやキャパシタをシリコン等の半導体基板の主面上に拡散技術を用いて形成した構成が殆んどであるが、この構成では高集積化および信頼性の点で改良すべき余地が残されている。

即ち、半導体基板上に形成されたMOSFETやキャパシタ等は基板に投射されたα線によって生起されるエレクトロンの影響を受けてそのポテンシャルが変化され易く、これによりメモリ内容が変動されるという所謂ソフトエラーが発生する。

一方、データ線を構成する不純物層は逆導電型の基板やその他チャンネルストップ等に直接接

しているためその容量(接合容量)が大きくなる。また、逆にキャパシタにあっては素子面積の制約から容量(蓄積容量)の増大には限度がある。これらのことから、メモリ動作が不安定になり記憶装置としての信頼性が低下する。特に、このような現象は素子寸法を小さくすればそれだけキャパシタ容量の低下が生じて更に顕著なものとなり易く、したがって高集積化を達成することが難かしい原因ともなっている。

〔発明の目的〕

本発明の目的はソフトエラーを防止する一方でデータ線容量を低減しかつキャパシタ容量を面積増加することなく増大し、これによりメモリ動作の安定を図って信頼性を向上すると共にメモリ素子寸法の低減を可能にして高集積化を達成することのできる半導体記憶装置を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔発明の概要〕

6と、この再結晶シリコン膜4上に SiO_2 等の絶縁膜7を介してポリシリコンにて形成したゲート電極8とで構成している。そして、前記ソース・ドレイン領域5、6の一方をデータ線として構成し、ゲート電極8をワード線として構成している。また、キャパシタ3は、凹穴9の内面に沿って延設した再結晶シリコン膜4と、この上側に SiO_2 等の誘電体膜10を介してかつ前記凹穴9内に充填されるように設けたポリシリコンからなるキャパシタ電極11とで構成している。そして、これらMOSFET2、キャパシタ3は夫々対となってD-RAMメモリ素子を構成し、複数の各素子は再結晶シリコン膜4を酸化したフィールド酸化膜12によって互に絶縁分離している。その上で、PSG等の層間絶縁膜13を形成し、更にその上にデータ配線14をA/B材にて延設し、コンタクトホール15を通して前記データ線6に接続している。

次に以上の構成の記憶装置の製造方法を第4図(A)~(D)により説明する。

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、絶縁基板上に形成した再結晶ポリシリコンでMOSFETを構成すると共に、この絶縁基板に設けた凹穴内にキャパシタを三次元に構成することにより、ソフトエラーを防止すると共にデータ線容量を低減し、かつ一方ではキャパシタを低面積大容量とし、これにより高集積かつ高信頼性の半導体記憶装置が得られる。

〔実施例〕

第1図ないし第3図は本発明の一実施例のD-RAM構成のメモリ素子を示し、第2図、第3図は夫々第1図のII線、III線断面図である。図示のようにこのメモリ素子は SiO_2 等の絶縁基板1上にトランスファゲートとしてのMOSFET2を形成する一方、絶縁基板1上に設けた凹穴(溝)内に三次元構成のキャパシタ3を形成している。前記MOSFET2は再結晶シリコン膜4に不純物をドーブさせたソース・ドレイン領域5、

先ず、同図(A)のように SiO_2 の絶縁基板1上面の必要箇所に平面および断面形状が略方形の凹穴9を形成する。この凹穴は例えば選択エッチング法により形成でき、好ましくは SiO_2 膜をマスクとしたCC ϕ 、ガスによるRIE(反応性イオンエッチング)法を使用すれば垂直な内壁面を有する凹穴を形成できる。その上で全面にノンドープのポリシリコンを例えば4000Åの厚さにデポジションし、かつこれを一旦溶かして再結晶させることにより再結晶シリコン膜4を形成できる。具体的にはレーザを照射することによって、部分的に溶かし再結晶させる。これにより、単結晶又は単結晶に近いシリコン膜が得られる。膜厚が薄いのでより単結晶化し易い。

次に、同図(B)のように、前記再結晶シリコン膜4を選択酸化法(LOCOS法)により部分酸化してフィールド酸化膜(SiO_2 膜)12を形成し、これにより活性領域を面成する。同時に活性領域の表面には薄い SiO_2 膜10を形成する。このとき、再結晶ポリシリコン膜4にはB(ボロン)を

イオン打込みし、しきい値(V_{th})調整を行なっておく。

次いで、同図(C)のように全面にリンを導入することにより低抵抗化したポリシリコンをデポジションし前記凹穴9内に充填させた上でこれを選択エッチングする。これによりキャパシタ電極11が構成され、前記 SiO_2 膜10を透電体膜として前記再結晶シリコン膜4との間にキャパシタ3を構成する。その後、表面に SiO_2 絶縁膜7を形成しておく。

次に、同図(D)のように全面にポリシリコンをデポジションしかつこれを選択エッチングしてゲート電極8を形成する。その上で、As(ヒ素)やP(リン)等をイオン打込みし、ゲート電極8を低抵抗化すると共に再結晶シリコン膜4内にソース・ドレイン領域5,6を形成してMOSFET2を構成する。しかる上で、PSGをデポジションして層間絶縁膜13を形成し、更にコンタクトホール15を穿設した上でAs配線層をデータ配線14としてパターン形成することにより前記第

1図ないし第3図のメモリ素子が完成される。

以上のように形成されたメモリ素子によれば、MOSFET2およびキャパシタ3は、絶縁基板1上に形成されているため、X線が投射されてもソフトエラーが生じることは全くない。また、データ線6も絶縁基板1上に形成されていることからその接合容量を格段に小さくできる。一方、キャパシタ2は凹穴9内において三次元的面で構成されていることから平面面積を小さくしてもキャパシタとしての面積を大きなものにでき、素子面積に対する容量(蓄積容量)を大きくできる。これらのことから、安定なメモリ動作が確保でき、信頼性を向上できる。他方、キャパシタの平面面積(素子面積)を小さくした分だけメモリ素子の微細化を図り、高集積化を図ることができる。

〔効果〕

- (1) MOSFETおよびキャパシタを絶縁基板上に形成しているので、ソフトエラーを防止することができる。
- (2) MOSFETの一部としてのデータ線を絶縁

基板上に形成しているのでデータ線容量を低減できる。

- (3) キャパシタを絶縁基板に形成した凹穴内に三次元的に形成しているので、平面面積を小さくしてもキャパシタ面積を大きくでき、蓄積容量を大きくできる。
- (4) 前記(1)~(3)により、安定なメモリ動作を得ることができ、信頼性を向上することができる。
- (5) 前記(3)により、キャパシタの占有平面面積を低減でき、メモリ素子の微細化を図って高集積化を達成できる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、MOSFETやキャパシタの平面パターン形状や断面形状、更にはその製造方法等は適宜に変更することができる。

再結晶シリコン膜はMOSFETとして働く部分のみに形成してもよく、フィールド絶縁膜とな

る部分、キャパシタとなる部分は多結晶のままでもよい。

〔利用分野〕

以上の説明では主として本発明者によってなされた発明をD-RAM構成の半導体記憶装置のメモリ素子に適用した場合について説明したが、それに限定されるものではなく、たとえばMOSFETやキャパシタを必要とする周辺回路用の素子にも適用することができる。

図面の簡単な説明

第1図は本発明の一実施例の平面図。

第2図は第1図のII-II線断面図。

第3図は第1図のIII-III線断面図。

第4図(A)~(D)は製造工程を説明するための第2図に対応する断面図である。

- 1…絶縁基板、2…MOSFET、3…キャパシタ、4…再結晶ポリシリコン膜、5,6…ソース・ドレイン領域、7…絶縁膜、8…ゲート電極、9…凹穴、10…透電膜、11…ポリシリコン、12…フィールド酸化膜、13…層間絶縁膜、14

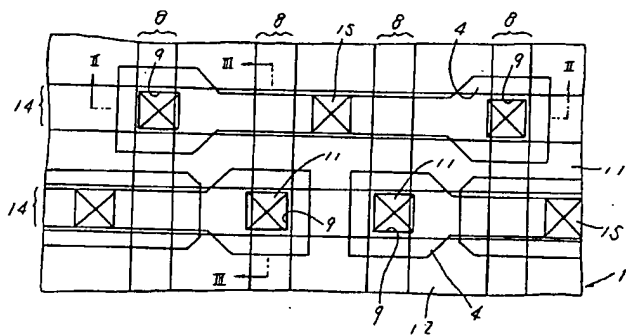
…データ配線。

代理人 弁理士

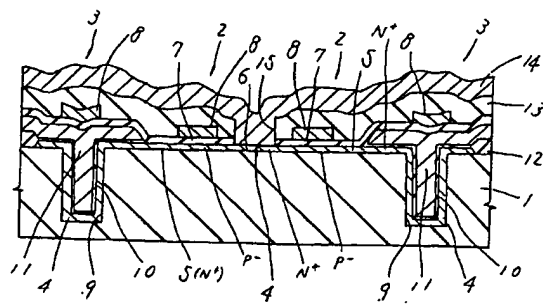
高橋明夫



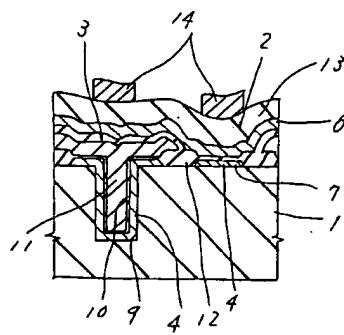
第 1 図



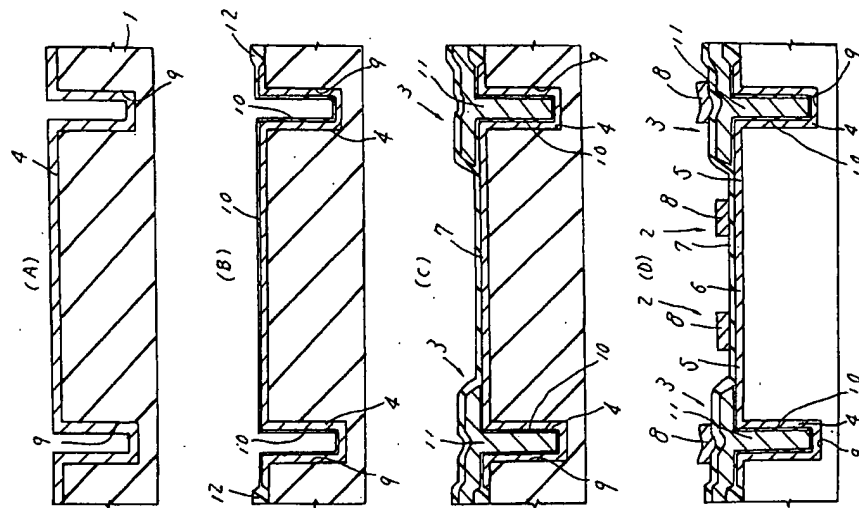
第 2 図



第 3 図



第 4 圖



PAT-NO: JP360148163A
DOCUMENT-IDENTIFIER: JP 60148163 A
TITLE: SEMICONDUCTOR MEMORY DEVICE
PUBN-DATE: August 5, 1985

INVENTOR-INFORMATION:
NAME
MITANI, SHINICHIRO

ASSIGNEE-INFORMATION:
NAME COUNTRY
HITACHI LTD N/A

APPL-NO: JP59003427
APPL-DATE: January 13, 1984

INT-CL (IPC): H01L027/10, G11C011/34 , H01L029/78
US-CL-CURRENT: 257/304, 257/E27.092

ABSTRACT:

PURPOSE: To prevent a soft error while reducing data-line capacitance by constituting a MOSFET by recrystallized polysilicon while a capacitor is constituted in a recessed hole formed to an insulating substrate in three dimensions.

CONSTITUTION: A MOSFET2 as a transfer gate is formed on an insulating substrate 1 while capacitors 3 having three-dimensional constitution are shaped in recessed holes 9 formed on the insulating substrate 1. The capacitor 3 is constituted by a recrystallized silicon film 4 extended

along the inner surface
of the recessed hole 9 and a capacitor electrode 11, which
is shaped on the
upper side of the film 4 through a dielectric film 10 and
so as to be filled in
the recessed hole 9 and consists of polysilicon. The
MOSFET2 and the
capacitors 3 are paired severally, and constitute dynamic
random access memory
elements.

COPYRIGHT: (C)1985,JPO&Japio